

**KR2000-63759**

**Title:** High reliability non-conductive adhesives for non-solder flip chip bondings and flip chip bonding method using the same

**Registrator:** Korean Advanced Institute of Science and Technology

**Inventor:** BAEK, Kyeong Wook; YIM, Myeong Jin

**<ABSTRACT>**

This invention comprises below steps: preparing a substrate that IC chips which a plurality of gold or copper stud bump, or a non-solder bump such as non-electrolytic Ni/Cu/Au bump and so on are formed on a I/O unit, and metal electrodes are formed on its surface; adhesiving a non-conductive adhesive having a film type, and formed to comprise a solid state Bisphenol A-type epoxy resin, a liquid state Bisphenol F-type epoxy resin, a solid state phenoxy resin, a solvent mixed metyletylketon with toluene, a liquid state hardener, and a non-conductive particle on the chips or the substrate; thermocompression bonding the IC chips on the substrate so as the non-solder bump and the metal electrodes to be connected mechanically and electrically each other. NCA used in this invention is lower the coefficient of thermal expansion, lower dielectric constant, and better mechanical and electrical properties than the prior NCA, thereby provides high reliability. Moreover, because the non-conductive adhesive can be formed to paste type as well as film type, various processes can accomplish by properly choosing as occasion demands. This invention has an environmental affinity because of using not a prior solder bump including Pb as main constituent, but non-solder bump.

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <sup>7</sup>  
H01L 21/60

(45) 공고일자 2001년11월26일  
(11) 등록번호 10-0315158  
(24) 등록일자 2001년11월07일

(21) 출원번호 10-2000-0044829  
(22) 출원일자 2000년08월02일

(65) 공개번호 특2000-0063759  
(43) 공개일자 2000년11월06일

(73) 특허권자 한국과학기술원  
윤덕용  
대전 유성구 구성동 373-1

(72) 발명자 백경욱  
대전광역시유성구구성동한국과학기술원재료공학과  
임명진  
대전광역시유성구구성동한국과학기술원재료공학과2423

(74) 대리인 허진석

심사관 : 송원선

(54) 비솔더 플립 칩 본딩용 고신뢰성 비전도성 접착제 및 이를이용한 플립 칩 본딩 방법

요약

본 발명은, 복수개의 금 또는 구리 스타드 범프나 무전해 니켈\구리\금 범프 등과 같은 비솔더 범프가 I/O 단에 형성된 IC 칩과, 금속전극이 표면에 형성된 기판을 마련하는 단계와; 상기 칩 또는 기판 상에 고상의 비스페놀 A 타입 에폭시 수지와, 액상의 비스페놀 F 타입 에폭시 수지와, 고상의 페녹시 수지와, 메틸에틸케톤과 톨루엔이 혼합된 솔벤트와, 액상의 경화제와, 비전도성 입자를 포함하여 이루어지며 필름 형태를 갖는 비전도성 접착제를 접착시키는 단계와; 상기 비솔더 범프와 상기 금속전극이 기계적 및 전기적으로 서로 연결되도록 상기 IC 칩을 상기 기판에 열압착시키는 단계를 포함한다. 본 발명에 사용된 NCA는 기존의 NCA보다 열팽창계수가 적고, 유전율도 작으며, 기계적 및 전기적 특성이 우수하여 높은 신뢰성을 갖는다. 또한, 비전도성 접착제는 필름형태 외에도 페이스트 형태로도 만들 수 있기 때문에 필요에 따라서 적절하게 선택하여 다양한 공정이 가능하다. 본 발명에 은 납을 주성분으로 하는 종래의 솔더 범프를 사용하지 않고 비솔더 범프를 사용하기 때문에 환경친화적이다.

대표도  
도 4a

색인어

ACA, 플립칩, 비솔더 범프, 금 스테드 범프, 무전해도금, 비전도성 입자

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 본 발명에 따른 코이닝 전의 금 스테드 범프(140)를 형성하는 방법을 설명하기 위한 도면들;

도 1d는 코이닝 공정에 의해 단부가 평평하게 된 금 스테드 범프(140a)를 형성하는 방법을 설명하기 위한 도면;

도 1e는 도 1c의 코이닝 전 금 스테드 범프(140)를 보여주는 사진;

도 1f는 도 1d의 코이닝된 금 스테드 범프(140a)를 보여주는 사진;

도 2a 내지 도 2d는 본 발명에 따른 무전해 니켈/구리/금 범프를 형성하는 방법을 설명하기 위한 단면도들;

도 2e는 도 2d의 무전해 니켈/구리/금 범프를 보여주는 사진;

도 3은 본 발명에 따른 플립 칩 본딩 방법을 설명하기 위한 개략도;

도 4a 및 도 4b는 금 스테드 범프 및 무전해 니켈/구리/금 범프가 적용된 경우의 플립 칩 본딩 결과물을 각각 나타낸 단면도들이다. \* 도면의 주요 부분에 대한 부호의 설명 \* 110 : IC 칩 120 : 알루미늄 패드 또는 알루미늄 배선 125 : 아연층 130 : 보호막 140 : 금 스테드 범프 140a : 단부가 평평하게 코이닝된 금 스테드 범프 142 : 니켈층 144 : 무전해 구리층 146 : 금층 145 : 무전해 니켈/구리/금 범프 147 : 범프 210 : 기판 220 : 금속전극 230 : NCA 페이스트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비전도성 접착제(Non conductive adhesive, 이하 'NCA') 및 이를 이용한 플립칩 본딩방법에 관한 것으로서, 특히 기존의 NCA보다 열팽창계수가 적고, 유전율도 작으며, 기계적 및 전기적 특성이 우수한 비전도성 접착제 및 이를 이용한 플립 칩 본딩 방법에 관한 것이다.

전자 패키지 기술은 반도체 소자에서부터 최종 완성제품까지의 모든 단계를 포함하는 광범위하고 다양한 시스템 제조 기술이다. 최근 급속히 발전하는 반도체 기술은 이미 백만개 이상의 셀(cell)이 집적화되고 있으며, 비메모리 소자의 경우는 많은 I/O핀 개수, 큰 다이(die) 크기, 많은 열 방출, 고전기적 성능 등의 경향으로 발전하고 있다. 그러나, 상대적으로 이러한 소자를 패키지 하기 위한 전자 패키징 기술은 급속한 반도체 산업에 보조를 못 맞추었던 것이 사실이다.

전자 패키징 기술은 최종 전자 제품의 성능, 크기, 가격, 신뢰성 등을 결정하는 매우 중요한 기술로서, 특히 고전기적 성능, 극소형/고밀도, 저 전력, 다기능, 초고속 신호처리, 영구적 신뢰성 등을 추구하는 최근의 전자제품에 있어서는 그 위상이 더욱 중요해 지고 있다.

이러한 추세에 부응하여, 칩(chip)을 기판에 전기적으로 연결시키는 기술 중의 하나인 플립 칩(flip chip) 본딩 기술이 최근 많이 각광을 받고 있다. 그러나, 이러한 플립 칩 본딩 기술은 기존의 솔더(solder)를 이용한 복잡한 본딩공정, 즉 기판에의 솔더 플럭스(flux) 도포, 솔더 범프(solder bump)가 형성된 칩과 표면전극이 형성된 기판의 정렬, 솔더 범프의 리플로우(reflow), 잔여 플럭스의 제거, 및 언더필(under fill)의 충전 및 경화 등의 공정을 거치기 때문에 공정이 복잡하고 완성 제품이 비싸진다는 단점을 갖고 있다.

이에 따라, 최근에는 이러한 복잡한 공정을 줄이기 위해 웨이퍼 상태에서 플렉스와 언더필의 기능을 갖는 폴리머 재료를 도포하여 가공하는 웨이퍼 차원의 패키지 기술에 대한 관심이 대두되고 있다. 이외에도 일반적인 솔더 플립 칩에 비해 저가이고, 극미세 전극 피치가 가능하며, 플렉스나 납(lead) 성분을 사용하지 않아 환경친화적이고, 저온에서 공정을 진행한다는 등의 장점을 가지는 전도성 접착제를 이용한 플립 칩 본딩 기술에 대한 연구도 많이 진행되고 있다.

전도성 접착제는 크게 이방성 도전 접착제(anisotropic conductive adhesive, 이하 'ACA')와 등방성 도전 접착제(isotropic conductive adhesive)로 구분되며, 기본적으로 Ni, Au/고분자, 또는 Ag 등의 도전성 입자들과, 열경화성, 열가소성, 또는 이들의 특성을 혼합한 혼합형 절연수지(blend type insulating resin)로 구성된다. 고가이긴 하지만 환경친화적인 ACA를 접속재료로 사용하는 플립칩 기술에 대한 연구가 특히 활발히 이루어져 왔으며, 이를 위해 ACA 재료의 개발 및 ACA 플립칩 기술의 응용연구가 활발히 진행되어 왔다.

이러한 전도성 접착제를 이용한 플립 칩 본딩 기술과 더불어 전도성 입자가 함유되지 않은 NCA를 이용한 플립 칩 본딩 기술이 도입되고 있다. 그러나, 기존의 NCA 재료는 열팽창계수 및 유전율이 크며, 기계적 및 전기적 특성이 우수하지 못하여 낮은 신뢰성을 갖는다는 문제점이 있다.

상술한 바와 같이, 종래의 플립 칩 패키지 기술은 솔더 범프(solder bump)를 사용하기 때문에 환경친화적이지 못할 뿐만 아니라 어셈블리 공정이 복잡하다. 그리고, ACA를 이용할 경우에는 ACA 재료가격으로 인해 패키지 비용이 많이 든다. NCA를 이용할 경우에는 NCA가 열팽창계수 및 유전율이 크며, 기계적 및 전기적 특성이 우수하지 못하기 때문에 제품의 신뢰성이 저하된다. 전자 패키징에 기술이 제품의 부가가치 창출을 좌우할 중요한 분야로 대두되고 있는 현실에서 상술한 종래의 문제점을 해결하면서 환경친화적인 제품 경향에 발맞추어 기존의 솔더 접속을 대체할 수 있는 플립 칩 기술을 개발하는 것은 대단히 중요한 과제이다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명이 이루고자 하는 기술적 과제는, 기존의 NCA보다 열팽창계수가 적고, 유전율도 작으며, 기계적 및 전기적 특성이 우수하고 신뢰성이 높을 뿐만 아니라 ACA보다 저렴한 플립 칩 본딩용 NCA를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기 기술적 과제의 달성에 의해 제공되는 NCA를 이용하고 솔더 범프 대신 금 또는 동 스터드 범프나, 무전해 니켈/구리/금 범프 등의 비솔더 범프를 이용하여 환경친화적이면서 제품의 신뢰성을 향상시킬 수 있는 플립 칩 본딩 방법을 제공하는 데 있다.

#### 발명의 구성 및 작용

상기 기술적 과제를 달성하기 위한 본 발명의 일 예에 따른 플립 칩 본딩용 비전도성 접착제는, 고상의 비스페놀 A 타입 에폭시 수지와, 액상의 비스페놀 F 타입 에폭시 수지와, 고상의 페녹시 수지와, 메틸에틸케톤과 톨루엔이 혼합된 솔벤트와, 액상의 경화제와, 비전도성 입자를 포함하여 이루어지며 필름 형태를 갖는 것을 특징으로 한다. 상기 필름의 두께는 10~50 $\mu$ m인 것이 바람직하고, 상기 필름의 양면에는 2~5 $\mu$ m의 두께를 갖는 순수 에폭시 수지만으로 된 접착력 증강층이 더 구비되는 것이 바람직하다.

상기 기술적 과제를 달성하기 위한 본 발명의 다른 예에 따른 플립 칩 본딩용 비전도성 접착제는, 액상의 비스페놀 A 또는 F 타입 에폭시 수지와, 액상의 경화제와, 비전도성 입자를 포함하여 이루어지며 페이스트 형태를 갖는 것을 특징으로 한다.

상기 기술적 과제를 달성하기 위한 본 발명의 일 예 및 다른 예에 따른 플립 칩 본딩 용 비전도성 접착제는 상기 비전도성 입자가 0.1 ~ 1 $\mu$ m 의 크기를 가지며, SiO<sub>2</sub> 또는 SiC로 이루어지는 것을 특징으로 한다. 그리고, 상기 경화제가 이미 다졸계 경화제인 것을 특징으로 한다. 또한, 상기 경화제는 에폭시 수지에 대해서 15~30의 wt%를 갖고, 상기 비전도성 입자는 상기 비전도성 접착제 전체에 대하여 10~30의 wt%를 갖는 것을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 예에 따른 플립 칩 본딩 방법은, 복수개의 비솔더 범프가 I/O 단에 형성된 IC 칩과, 금속전극이 표면에 형성된 기판을 마련하는 단계와; 상기 기판 상에 상기 기술적 과제에 의해 달성되는 본 발명의 일 예에 따른 비전도성 접착제를 접착시키는 단계와; 상기 범프를 상기 금속전극에 열라인시키는 단계와;

상기 범프가 소성변형되어 상기 범프와 상기 금속전극이 기계적 및 전기적으로 서로 연결되도록 상기 IC 칩을 상기 기판에 열압착시키는 단계를 포함하는 것을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 다른 예에 따른 플립 칩 본딩 방법은, 복수개의 비솔더 범프가 I/O 단에 형성된 IC 칩과, 금속전극이 표면에 형성된 기판을 마련하는 단계와; 상기 기판 상에 상기 기술적 과제에 의해 달성되는 본 발명의 다른 예에 따른 비전도성 접착제를 도포시키는 단계와; 상기 범프를 상기 금속전극에 열라인시키는 단계와; 상기 범프가 소성변형되어 상기 범프와 상기 금속전극이 기계적 및 전기적으로 서로 연결되도록 상기 IC 칩을 상기 기판에 열압착시키는 단계를 포함하는 것을 특징으로 한다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 예 또는 다른 예에 따른 플립 칩 본딩 방법에 있어서, 상기 비솔더 범프를 형성하는 단계는, 상기 IC 칩의 I/O 단에 금속 패드를 형성하는 단계와, 상기 금속 패드 상에 금 또는 구리로 이루어진 스타드 범프를 형성하는 단계를 포함하는 것을 특징으로 한다.

이 때, 상기 스타드 범프를 형성하는 단계 이후에, 상기 스타드 범프의 단부가 평평해지도록 상기 스타드 범프의 단부에 압력을 가하는 코이닝 공정을 더 행하는 것이 바람직하다. 코이닝 공정은 스타드 범프의 재료 강도와 소성변형특성에 따라 그 수행여부가 결정되며, 통상 금 스타드 범프의 경우는 코이닝 공정을 수행할 필요가 없으나, 동 스타드 범프의 경우는 코이닝 공정을 수행하는 것이 바람직하다.

상기 다른 기술적 과제를 달성하기 위한 본 발명의 일 예 또는 다른 예에 따른 플립 칩 본딩 방법에 있어서, 상기 비솔더 범프를 형성하는 단계는, 상기 IC 칩의 I/O 단에 금속 패드를 형성하는 단계와; 상기 금속 패드 상에 무전해 방식으로 니켈층, 구리층, 및 금 층을 순차적으로 형성함으로써 니켈/구리/금 범프를 형성하는 단계를 포함하는 것을 특징으로 한다. 구리는 니켈에 비해 경도가 낮아 쉽게 소성변형이 일어나므로 니켈/구리/범프가 상기 기판의 금속전극과 안정되게 전기적으로 접속되게 된다. 따라서, 상기와 같은 구리층을 형성하는 것이다.

한편, 경우에 따라서는 상기 금속 패드를 형성하는 단계 이후에 상기 금속 패드 상에 정케이트 처리를 더 행할 수도 있다.

이하에서, 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세히 설명한다.

#### [테스트용 IC 칩의 범프 형성]

도 1a 내지 도 1c는 코이닝 전의 금 스타드 범프(140)를 형성하는 방법을 설명하기 위한 도면들이고, 도 1d는 단부가 평평하게 코이닝된 금 스타드 범프(140a)를 형성하는 방법을 설명하기 위한 도면이다.

도 1a 내지 도 1d를 참조하면, 먼저, IC 칩(110)에 알루미늄 패드(120)를 1 $\mu$ m 두께로 증착한다. 다음에, SiN이나 폴리이미드(Polyimide)로 이루어진 보호막(130)을 알루미늄 배선(120) 상에 약 0.5 ~ 1 $\mu$ m의 두께로 형성한 후에 상기 보호막(130)을 식각함으로써 알루미늄 배선(120)을 노출시키는 직경 100 $\mu$ m의 피치(pitch)를 형성하여 I/O 패드를 형성한다.

이어서, 상기 I/O 패드 위에 와이어 본더를 이용하여 금 스타드 범프(140)를 형성한다. 이 때, 금 스타드 범프(140)의 단부는 약간 뾰족한 형태를 가지기 때문에, 금 스타드 범프(140)의 단부에 일정한 압력을 가하는 코이닝(coining) 공정을 수행하여 단부가 평평한 금 스타드 범프(140a)를 만든다.

코이닝 공정은 IC 칩(110)과 기판과의 정렬 및 접속이 용이하도록 하는 동시에 접속 면적을 넓혀 접촉저항을 감소시키기 위해 행하는 것이다. 코이닝 공정을 수행하는 또 다른 이유는, 범프의 높이가 불균일하면 기판과의 접속시에 특정 I/O 패드에 과도한 접속 압력이 가해지게 되어 IC 칩이 손상될 우려가 있기 때문에 이를 방지하기 위한 것이다.

금 스타드 범프 대신에 구리 스타드 범프를 사용하는 경우에도 위와 마찬가지로의 공정을 수행한다. 도 1e는 도 1c의 코이닝 전 금 스타드 범프(140)를 보여주는 사진이고, 도 1f는 도 1d의 코이닝된 금 스타드 범프(140a)를 보여주는 사진이다.

도 2a 내지 도 2d는 금 스타드 범프 대신에 무전해 니켈/구리/금 범프를 형성하는 방법을 설명하기 위한 단면도들이다. 도 2a 내지 도 2d를 참조하면, 먼저, 도 1a와 마찬가지로 방법으로 I/O 패드를 형성하되 알루미늄 배선(120)을 형성한 후에 알루미늄을 도금하기에 적합하도록 활성화시키기 위해 정제 처리를 함으로써 아연층(125)을 형성한다. 즉, 알루미늄 배선을 스퍼터링 방법으로 2 $\mu$ m의 두께로 형성한 후, 열 증발법(thermal evaporation) 방법으로 SiN 보호막을 0.5 $\mu$ m의 두께로 증착하거나 스핀 코팅(spin coating) 방법으로 폴리이미드 유기보호막을 1 $\mu$ m의 두께로 형성하고, 리소그래피(lithography) 공정을 적용하여 I/O 패드를 형성한다.

다음에, 상기 결과물을 약 90℃의 온도를 갖는 무전해 니켈 도금 용액에 20~30분간 담궈서 10~15 $\mu$ m의 두께를 갖는 니켈층(142)을 형성한다. 이어서, 니켈에 비해서 상대적으로 경도가 약한 무전해 구리층(144)을 10 $\mu$ m의 두께만큼 형성한 다음에, 약 60℃의 무전해 금 도금 용액을 이용하여 30분간 금 도금을 함으로써 약 0.1 $\mu$ m의 두께를 갖는 금층(146)을 형성한다. 따라서, 무전해 니켈/구리/금 범프(145)는 전체적으로 약 25 $\mu$ m의 두께를 갖게된다.

금층(146)은 니켈층(142) 및 구리층(144)의 산화 방지 및 전기전도도의 향상을 얻기 위한 것이다. 니켈층(142)과 금층(146) 사이에 개재된 연성이 좋은 구리층(144)은 IC칩(110)을 기판에 열압착시킬 때에 소성변형이 용이하게 일어나도록 함으로써 전기 접속 면적이 넓어지게 하기 위한 것이다. 도 2e는 도 2d의 무전해 니켈/구리/금 범프(145)를 보여주는 사진이다.

#### [테스트용 기판의 제조]

테스트용 기판으로 두께 1mm의 FR-4 유기 기판을 제조하였다. 기판의 표면에는 Ni/Cu/Au의 다층으로 이루어진 금속 전극이 형성되어 있으며, 전극 이외의 부분은 솔더 마스크(solder mask)로 보호하였다.

#### [NCA의 제조]

에폭시 수지, 경화제, 및 비전도성 입자를 혼합하여 필름 형태 및 페이스트(paste) 형태의 NCA를 각각 만든다.

NCA 필름은 다음과 같이 제조한다. 고상의 비스페놀 A 타입 에폭시 수지 10g과, 액상의 비스페놀 F 타입 에폭시 수지 25g과, 고상의 페녹시 수지 20g과, 메틸에틸케톤과 톨루엔이 1대 3의 vol% 비율로 혼합된 솔벤트 46.6g(메틸에틸케톤 10.8g과 톨루엔 35.8g에 해당함)과, 액상의 이미다졸계 경화제 15g과, 0.1 ~ 1 $\mu$ m의 크기를 가지며 열팽창계수와 유전상수가 낮은 SiO<sub>2</sub> 또는 SiC로 이루어진 비전도성 입자를 서로 혼합한다. 혼합하는 방법은 기계적인 믹서를 이용하

며, 80℃의 일정한 온도에서 고상의 비스페놀 A 타입 에폭시 수지와, 액상의 비스페놀 F 타입 에폭시 수지와, 고상의 페녹시 수지와, 메틸에틸케톤과 톨루엔의 혼합물을 3시간 동안 혼합하여 균일한 혼합물이 되게 한다. 이후, 같은 기계적인 믹서를 이용하여 상온에서 비전도성 입자와 경화제를 균일하게 혼합한다. 이어서, 닥터 블레이드(doctor blade) 법으로 이형지 필름 위에 10 ~ 50 $\mu$ m 범위 내에서 일정한 두께로 필름을 만든다.

이 때, 솔벤트를 제거하기 위하여 80℃에서 1분간 방치해 둔다. 상기 경화제는 에폭시 수지에 대해서 15~30의 wt%를 갖고, 상기 비전도성 입자는 상기 NCA 필름 전체에 대하여 10~30의 wt%를 갖도록 혼합한다. 비전도성 입자를 첨가하는 이유는 NCA 필름의 열팽창계수를 낮추기 위함이다.

NCA 필름의 두께는 IC 칩에 형성된 범프의 두께에 따라 결정될 것이지만 다양한 크기의 범프가 수용될 수 있도록 10 ~ 50 $\mu$ m가 되도록 하였다. 필름의 접착력을 향상시키기 위하여 NCA 필름의 양면에 2~5 $\mu$ m의 두께를 갖는 에폭시 수지 접착력 증강층을 더 형성하는 것이 바람직하다. 열팽창 계수를 낮추기 위해 NCA 필름이 많은 양의 무기 파우더(inorganic powder)를 함유할 경우, NCA 필름의 접착면적 중 접착력을 가지게 하는 수지(resin)의 면적 작아지게 되어 반도체 칩과 기판 사이에서의 접착층의 역할을 수행하지 못할 수 있다. 그러므로, 이의 개선을 위해서 낮은 열 팽창계수를 가지는 NCA 필름의 양면에 접착력 증강층을 라미네이션(lamination) 방식으로 형성한다. 이 접착력 증강층 역시 NCA의 열압착 공정 시 열에 의해 경화가 진행되며 반도체 칩과, 유기 기판의 전면적에 접촉되면서 밀착성을 좋게 하여, 단층구조의 비전도성 입자를 함유한 NCA 필름보다 훨씬 접착력을 크게 향상시킬 수 있으며, 칩의 범프와 기판의 전극 사이에서의 전도성에는 영향을 주지 않는다. 이 때, 접착력 증강층은 상기한 NCA 필름에서 비전도성 입자를 제외한 수지 부분과 동일한 성분으로 구성되며, 단지 두께만 2 ~ 5 $\mu$ m로 축소될 뿐이다.

한편, NCA 페이스트는 상기 NCA 필름보다 훨씬 간단한 구성으로 되어 있다. 즉, 액상의 비스페놀 A 또는 F 타입 에폭시 수지 100g 당 액상의 이미다졸계 경화제 30 ~ 50g의 혼합비율로 혼합하며, 이렇게 형성된 NCA 페이스트 수지 조성에 0.1 ~ 1 $\mu$ m의 크기를 가지는 SiO<sub>2</sub> 또는 SiC 비전도성 입자 10 ~ 30wt% 혼합한다. 혼합공정은 상온에서 기계적 믹서로 균일한 조성이 될 때까지 혼합한다.

#### [플립 칩 본딩 방법]

도 3을 참조하여 플립 칩 본딩 방법을 설명하면 다음과 같다. 먼저, NCA 페이스트의 경우, 분사장비나 스크린 프린터(screen printer) 장비를 사용하여 NCA 페이스트(230)를 기판(210)에 일정량을 도포한 후에, 범프(147)가 형성되어 있는 IC 칩(110)을 금속전극(220)에 정렬시킨다. 여기서, 범프(147)는 단부가 뾰족한 금 스타트 범프(도 1c의 140) 또는 단부가 평평한 금 스타트 범프(도 1d의 140a)나, 무전해 니켈/구리/금 범프(도 2d의 145)가 될 수 있다.

NCA 페이스트(230)는 5분 이내에 경화되기 때문에, IC칩(110)과 기판(210)을 150℃의 온도와 3~5 kgf/cm<sup>2</sup>의 압력에서 열압착시키면, 범프(147)가 소성변형되면서 범프(147)와 금속 전극(220) 간에 접촉이 일어나서 범프(147)와 금속전극(220)이 기계적 및 전기적으로 서로 안정적으로 연결되게 된다.

NCA 필름을 이용할 경우에는, 먼저 NCA 필름이 있는 면을 기판(210)에 80℃의 온도와 1~2 kgf/cm<sup>2</sup>의 압력에서 열압착시킨 다음에 이형지 필름을 제거한 후에, 상기과 같은 열라인 공정을 수행하여 기판(210)의 전극(220)과 칩(110)의 비솔더 범프(147)를 NCA 필름을 이용하여 접속시킨다.

도 4a 및 도 4b는 금 스타트 범프(140a) 및 무전해 니켈/구리/금 범프(145)에 의해 플립칩 본딩된 경우의 단면도를 각각 나타낸 것이다.

#### 발명의 효과

상술한 바와 같은 본 발명에 따른 NCA는 기존의 NCA보다 열팽창계수가 적고, 유전율도 작으며, 기계적 및 전기적 특성이 우수하고 신뢰성이 높다. 뿐만 아니라, ACA와 달리 고가의 전도성 입자를 포함하지 않으므로 ACA보다 저렴하다. 또한, 필름형태 및 페이스트 형태로 만들 수 있기 때문에 필요에 따라서 적절하게 선택하여 사용할 수 있다.

본 발명에 따른 플립 칩 본딩 방법은 납을 주성분으로 하는 종래의 솔더 범프를 사용하지 않고 비솔더 범프를 사용하기 때문에 환경친화적이고, 기존의 폴리머 전도성 접착제를 이용한 플립 칩 공정 및 장비를 그대로 사용할 수 있기 때문에 높은 가격 경쟁력 및 생산성을 갖고 있다. 또한, 기판에 형성된 전극에 대한 높은 소성 변형이 가능토록 설계된 범프로 인해 접촉면적이 넓기 때문에 IC칩과 기판 사이의 접촉저항이 작다. 또한, 본 발명의 권리범위가 본 발명의 실시예의 기재된 조성에만 국한하지 않고 그 유사한 조성의 조합을 균등적으로 포함함은 자명하다.

본 발명은 상기 실시예에만 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의해 많은 변형이 가능함은 명백하다.

#### (57) 청구의 범위

##### 청구항 1.

고상의 비스페놀 A 타입 에폭시 수지가 6 ~ 10wt%,

액상의 비스페놀 F 타입 에폭시 수지가 15 ~ 25wt%,

고상의 페녹시 수지가 12 ~ 18wt%,

메틸에틸케톤과 톨루엔이 vol%로 1:3으로 혼합된 솔벤트가 32 ~ 40wt%,

액상의 이미다졸 경화제가 8 ~ 14wt%,

비전도성 입자인 SiO<sub>2</sub> 또는 SiC 입자가 6 ~ 20wt% 포함된 후 건조되어 필름 형태를 갖는 것을 특징으로 하는 플립 칩 본딩 용 비전도성 접착제.

##### 청구항 2.

제1 항에 있어서, 상기 필름의 두께가 10~50 $\mu$ m인 것을 특징으로 하는 플립 칩 본딩 용 비전도성 접착제.

##### 청구항 3.

제1 항에 있어서,

고상의 비스페놀 A 타입 에폭시 수지가 6 ~ 10wt%,

액상의 비스페놀 F 타입 에폭시 수지가 15 ~ 25wt%,

고상의 페녹시 수지가 12 ~ 18wt%,

메틸에틸케톤과 톨루엔이 vol%로 1:3으로 혼합된 솔벤트가 32 ~ 40wt%,

액상의 이미다졸 경화제가 8 ~ 14wt% 포함된 후 건조되어 이루어지며,

상기 필름의 양면에 2~5 $\mu$ m의 두께를 갖도록 형성된 에폭시 접착력 증강층을 더 구비하는 것을 특징으로 하는 플립 칩 본딩 용 비전도성 접착제.

##### 청구항 4.



액상의 비스페놀 A 또는 F 타입 에폭시 수지가 40 ~ 75wt%,

액상의 이미다졸 경화제가 15 ~ 30wt%,

비전도성 입자인 SiO<sub>2</sub> 또는 SiC 입자가 10 ~ 30wt% 포함되어 이루어지며 페이스트 형태를 갖는 것을 특징으로 하는 플립 칩 본딩 용 비전도성 접착제.

청구항 5.

제1 항 또는 제4 항에 있어서, 상기 비전도성 입자가 0.1 ~ 1 $\mu$ m의 크기를 가지며, SiO<sub>2</sub> 또는 SiC로 이루어지는 것을 특징으로 하는 플립칩 본딩용 비전도성 접착제.

청구항 6.

제1 항 또는 제4 항에 있어서, 상기 경화제는 에폭시 수지에 대해서 15~30의 wt%를 갖고, 상기 비전도성 입자는 상기 비전도성 접착제 전체에 대하여 10~30의 wt%를 갖는 것을 특징으로 하는 플립 칩 본딩 용 비전도성 접착제.

청구항 7.

복수개의 비솔더 범프가 I/O 단에 형성된 IC 칩과, 금속전극이 표면에 형성된 기판을 마련하는 단계와,

상기 기판 상에 고상의 비스페놀 A 타입 에폭시 수지와, 액상의 비스페놀 F 타입 에폭시 수지와, 고상의 페녹시 수지와, 메틸에틸케톤과 톨루엔이 혼합된 솔벤트와, 액상의 경화제와, 비전도성 입자를 포함하여 건조되어 필름 형태를 갖는 비전도성 접착제를 접착시키는 단계와,

상기 범프를 상기 금속전극에 정렬시키는 단계와,

상기 범프가 소성변형되어 상기 범프와 상기 금속전극이 기계적 및 전기적으로 서로 연결되도록 상기 IC 칩을 상기 기판에 열압착시키는 단계를 포함하는 것을 특징으로 하는 플립 칩 본딩 방법.

청구항 8.

복수개의 비솔더 범프가 I/O 단에 형성된 IC 칩과, 금속전극이 표면에 형성된 기판을 마련하는 단계와,

상기 기판 상에 액상의 비스페놀 A 또는 F 타입 에폭시 수지와, 액상의 경화제와, 비전도성 입자를 포함하여 이루어지는 페이스트 형태의 비전도성 접착제를 도포시키는 단계와,

상기 범프를 상기 금속전극에 정렬시키는 단계와,

상기 범프가 소성변형되어 상기 범프와 상기 금속전극이 기계적 및 전기적으로 서로 연결되도록 상기 IC 칩을 상기 기판에 열압착시키는 단계를 포함하는 것을 특징으로 하는 플립 칩 본딩 방법.

청구항 9.

제7 항 또는 제8 항에 있어서, 상기 비솔더 범프를 형성하는 단계가,

상기 IC 칩의 I/O 단에 금속 패드를 형성하는 단계와,

상기 금속 패드 상에 금 또는 구리로 이루어진 스탬프 범프를 형성하는 단계를 포함하는 것을 특징으로 하는 플립 칩 본딩 방법.

청구항 10.

제9 항에 있어서, 상기 스테드 범프를 형성하는 단계 이후에, 상기 스테드 범프의 단부가 평평해지도록 상기 스테드 범프의 단부에 압력을 가하는 코이닝 공정을 더 행하는 것을 특징으로 하는 플립 칩 본딩 방법.

청구항 11.

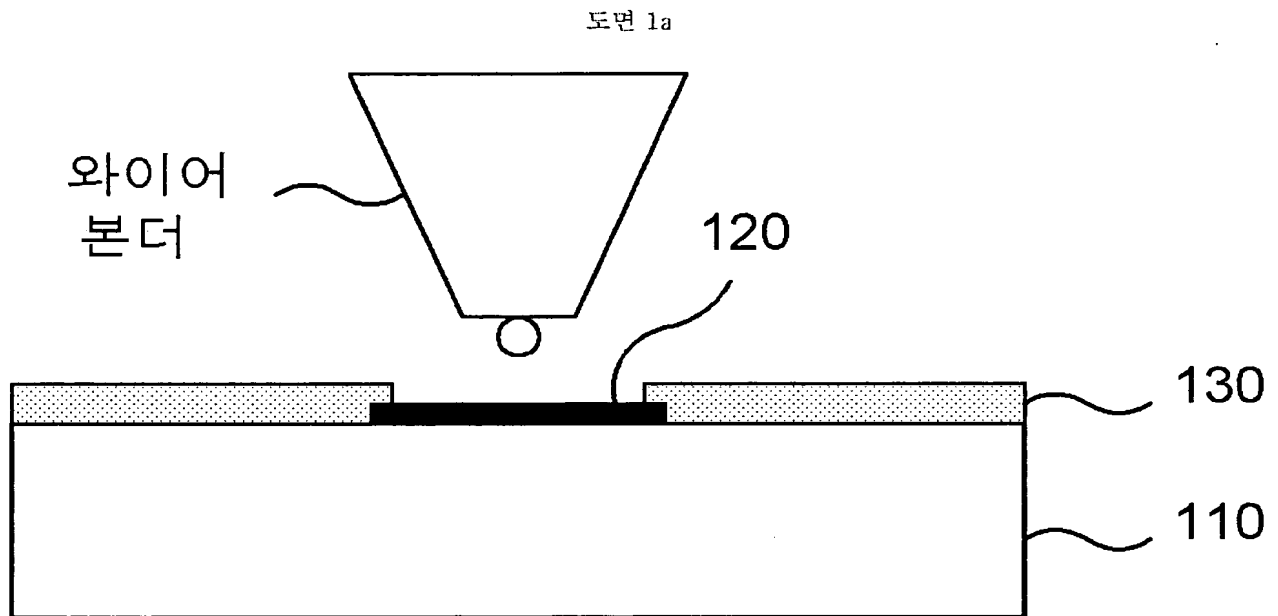
제7 항 또는 제8 항에 있어서, 상기 비스듬히 범프를 형성하는 단계가,

상기 IC 칩의 I/O 단에 금속 패드를 형성하는 단계와,

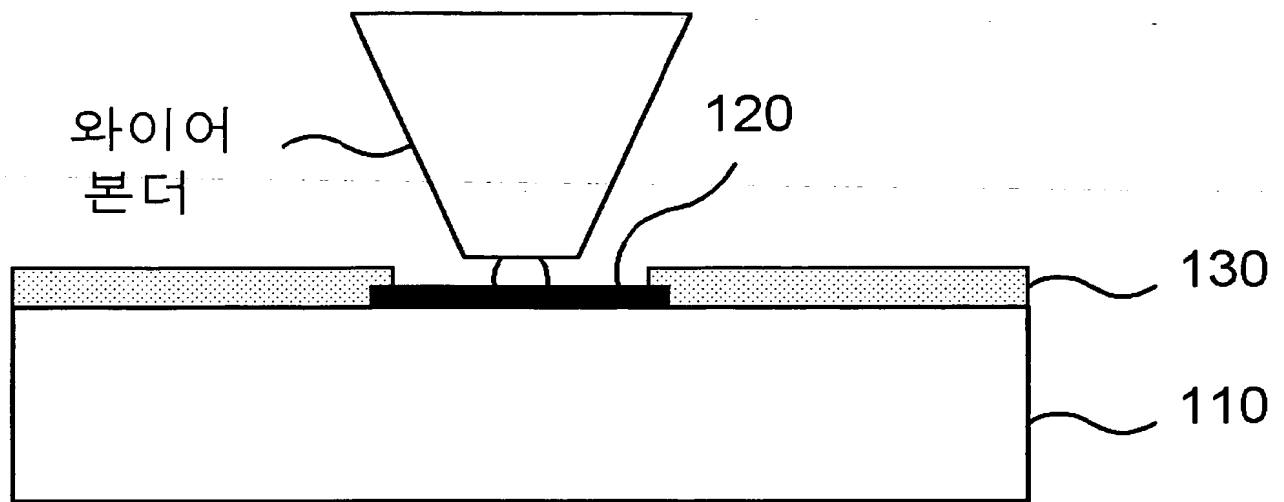
상기 금속 패드 상에 무전해 방식으로 니켈층, 구리층, 및 금 층을 순차적으로 형성함으로써 니켈/구리/금 범프를 형성하는 단계를 포함하는 것을 특징으로 하는 플립 칩 본딩 방법.

청구항 12.

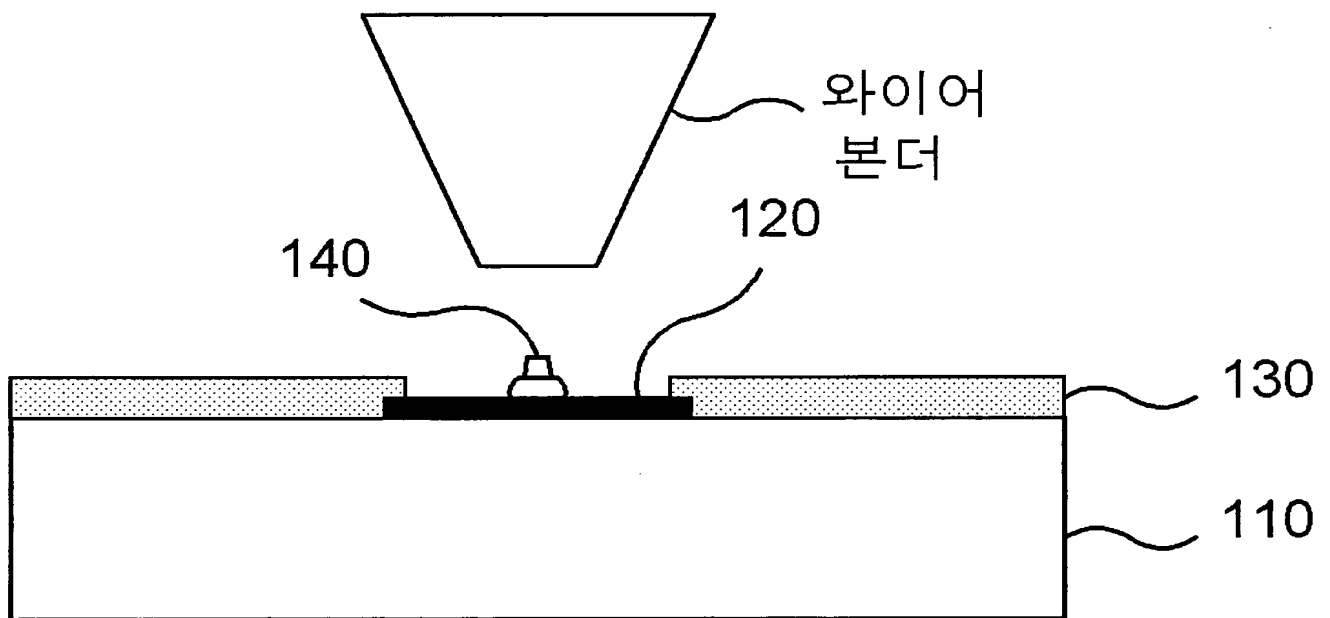
제11 항에 있어서, 상기 금속 패드를 형성하는 단계 이후에 상기 금속 패드 상에 정제이트 처리를 행하는 단계를 더 포함하는 것을 특징으로 하는 플립 칩 본딩 방법.



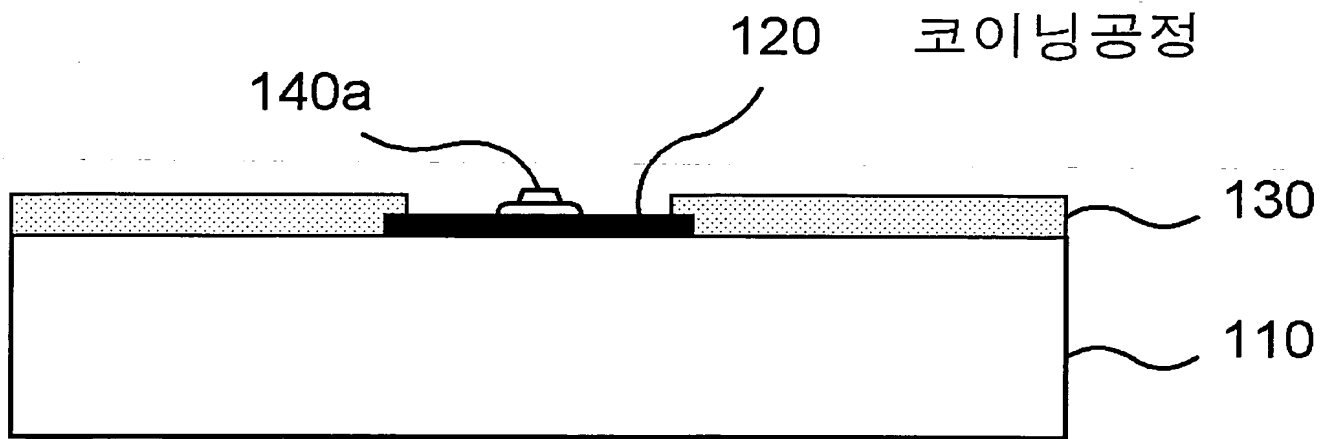
도면 1b



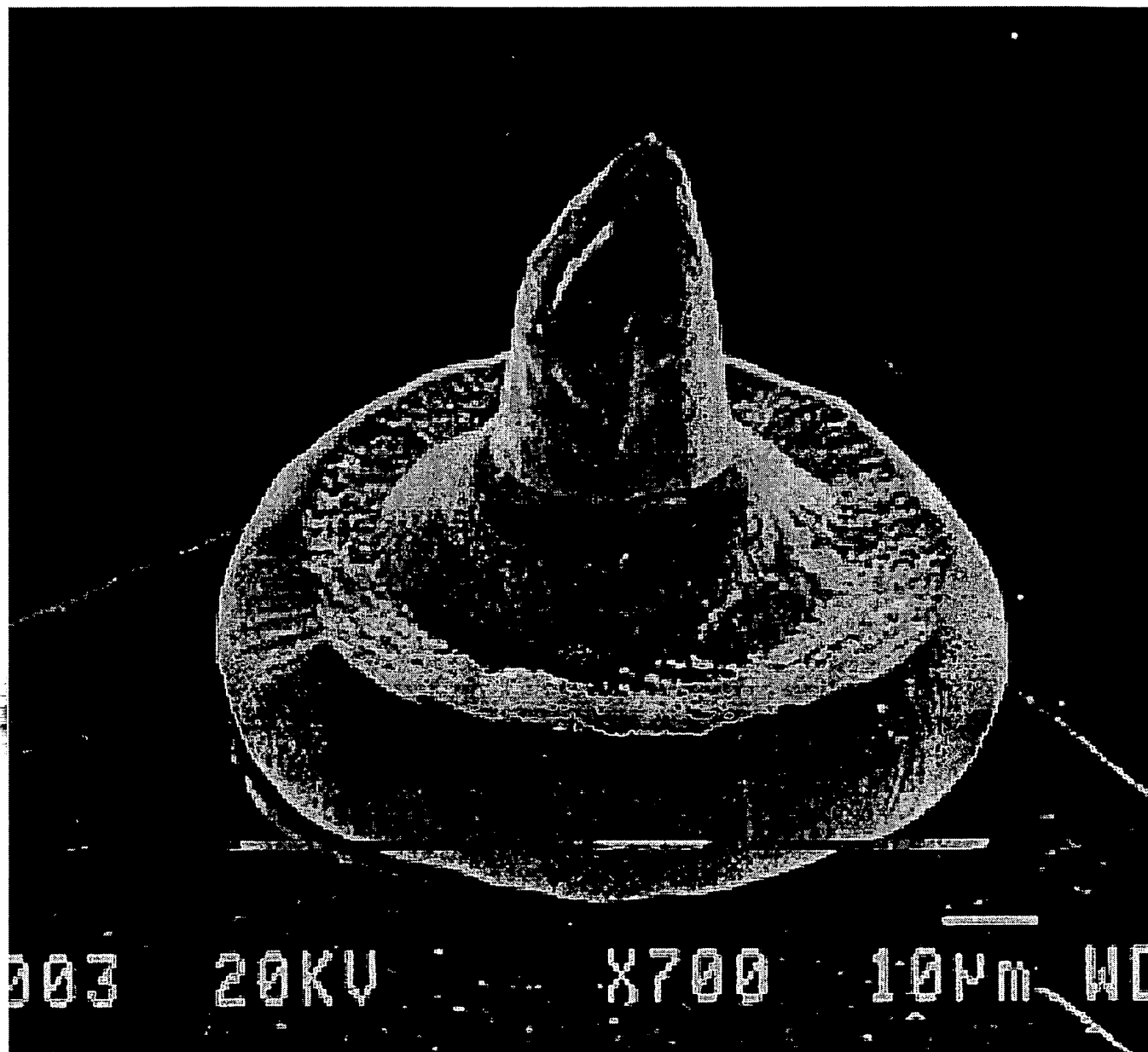
도면 1c



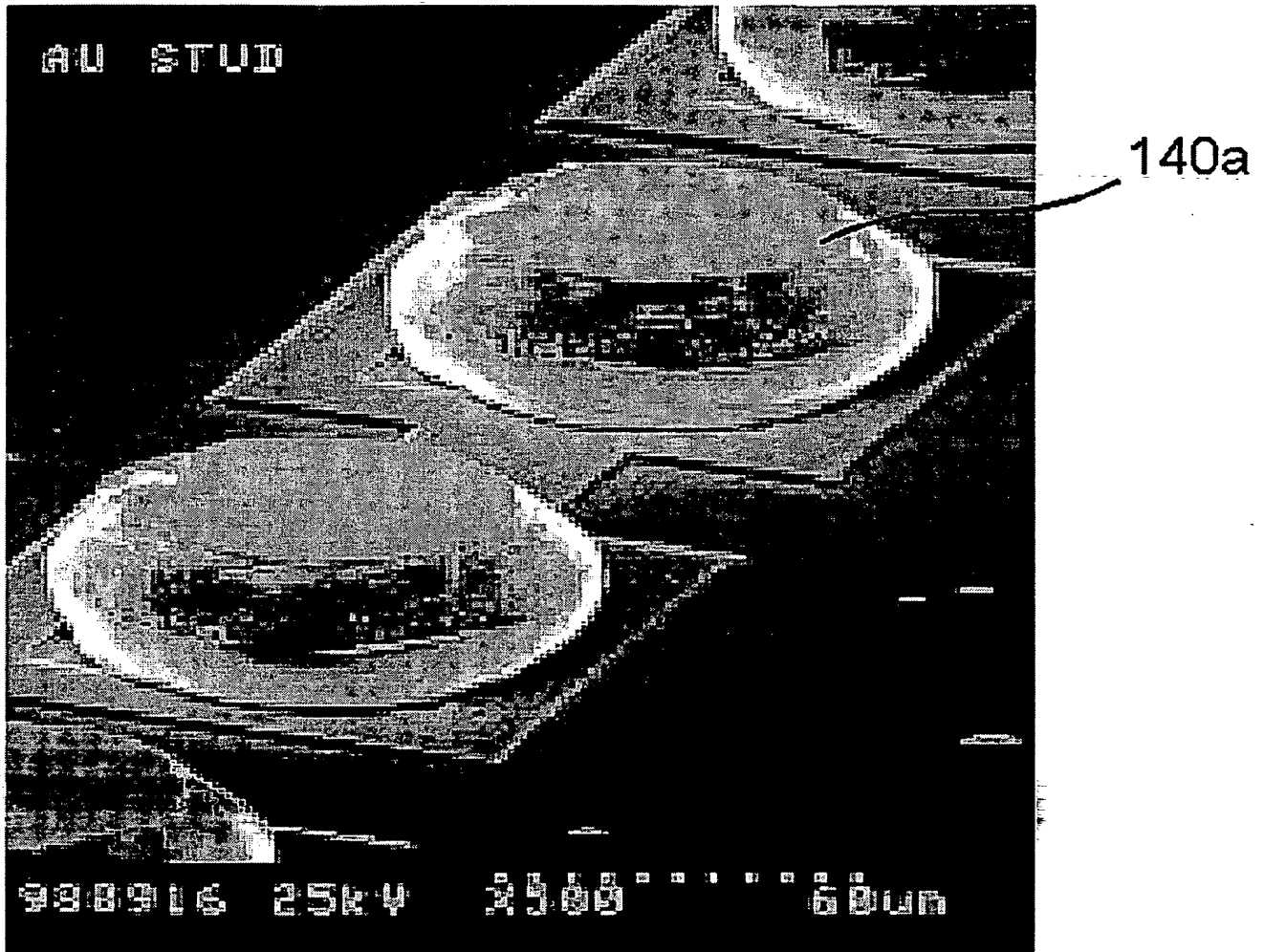
도면 1d



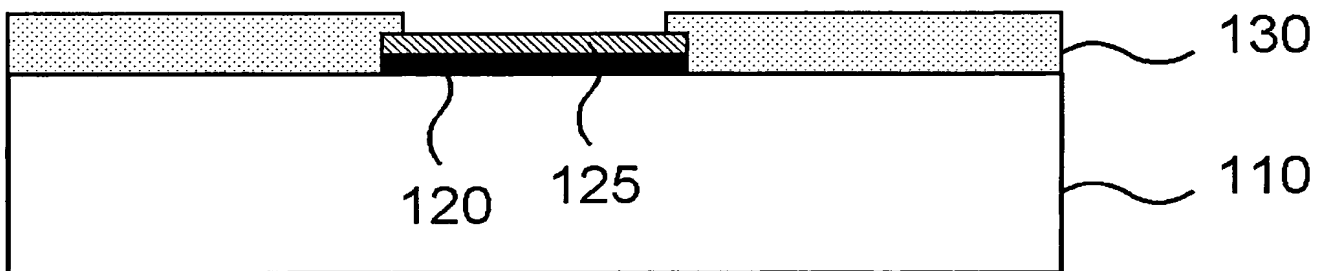
도면 1e



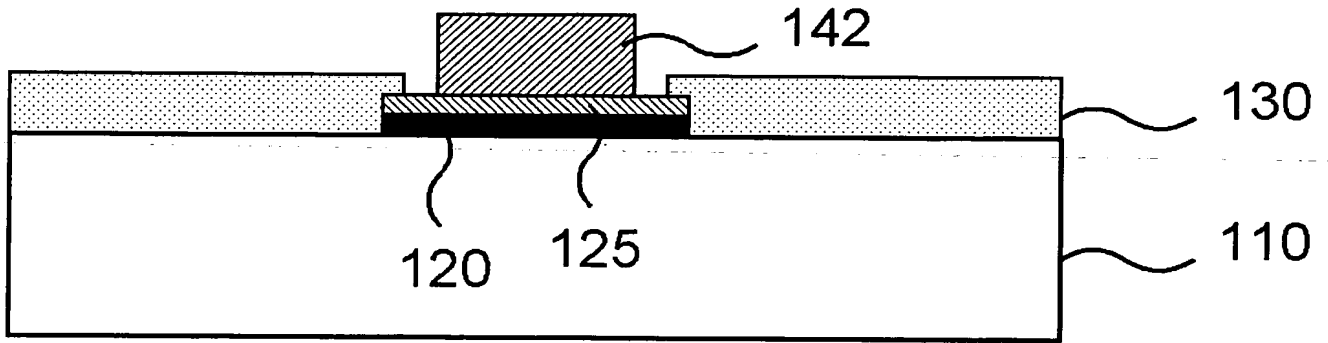
도면 1f



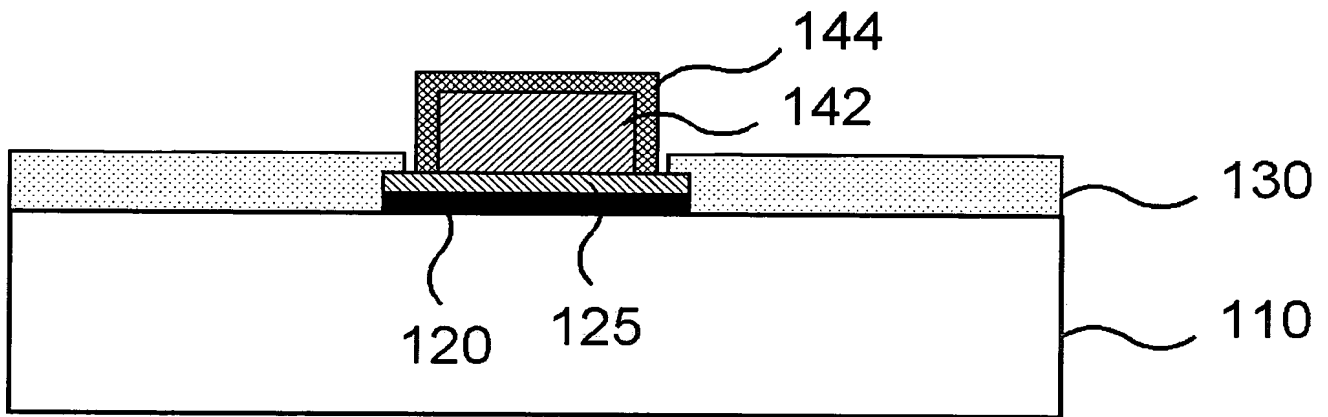
도면 2a



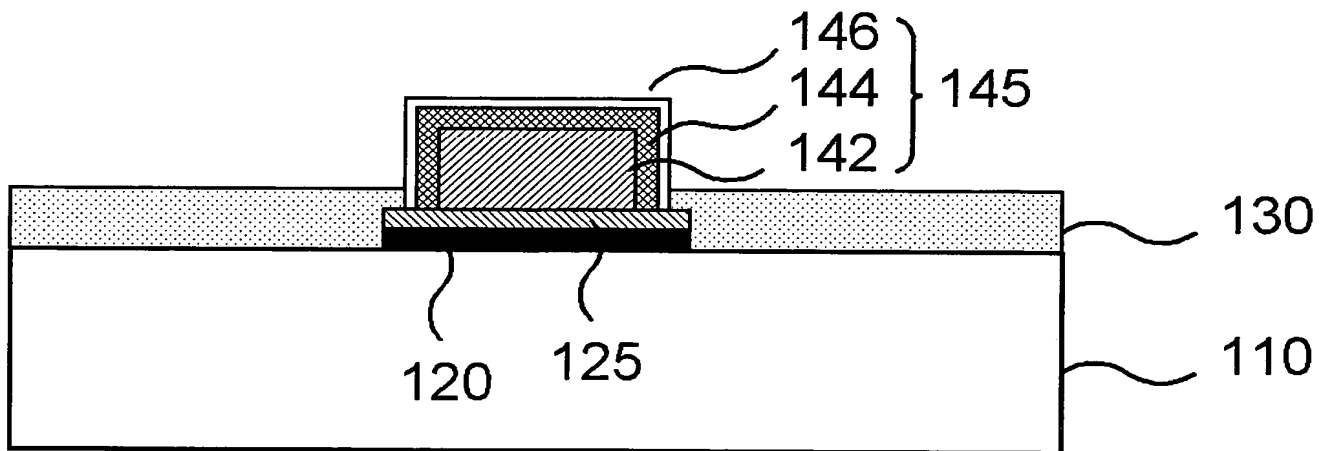
도면 2b



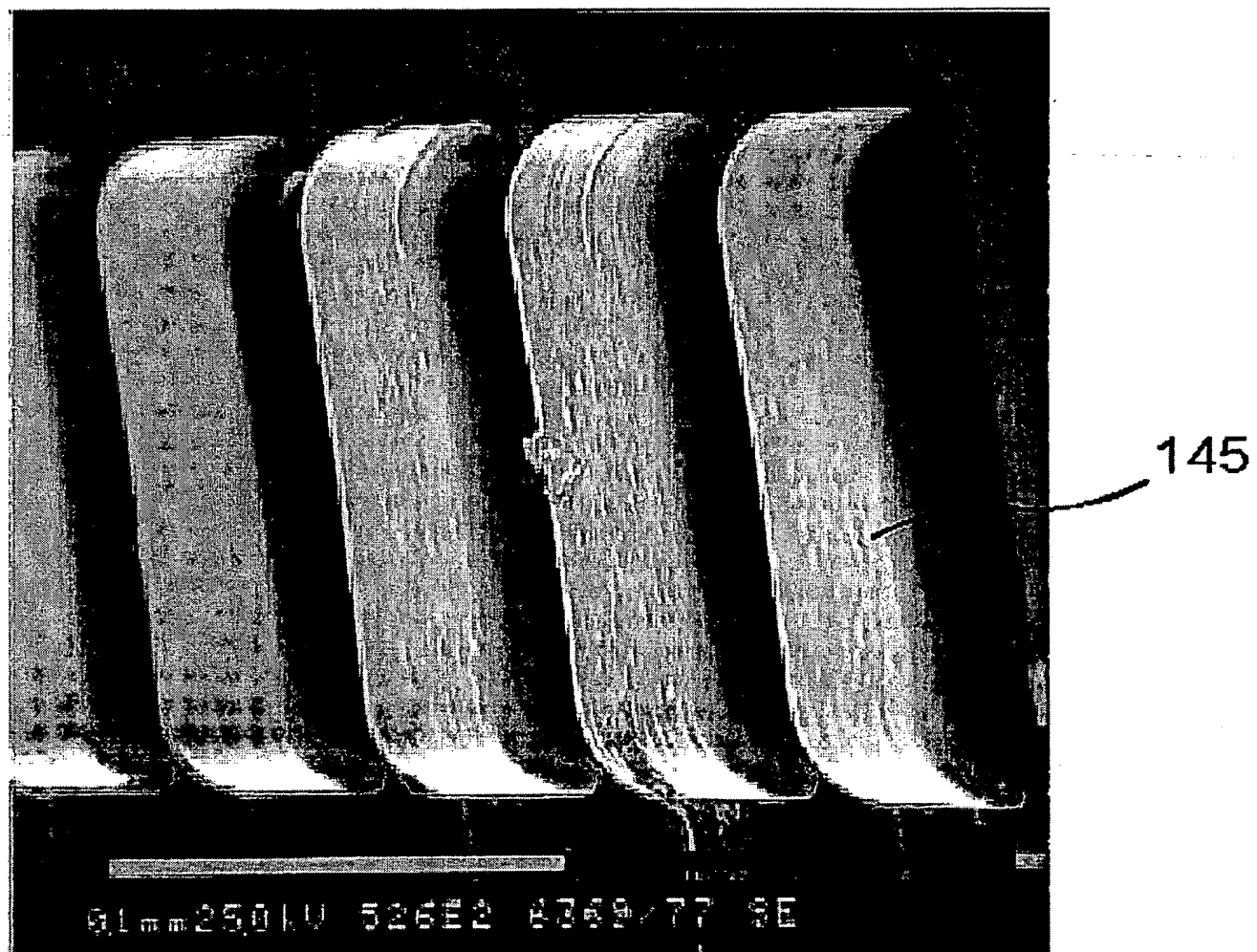
도면 2c



도면 2d

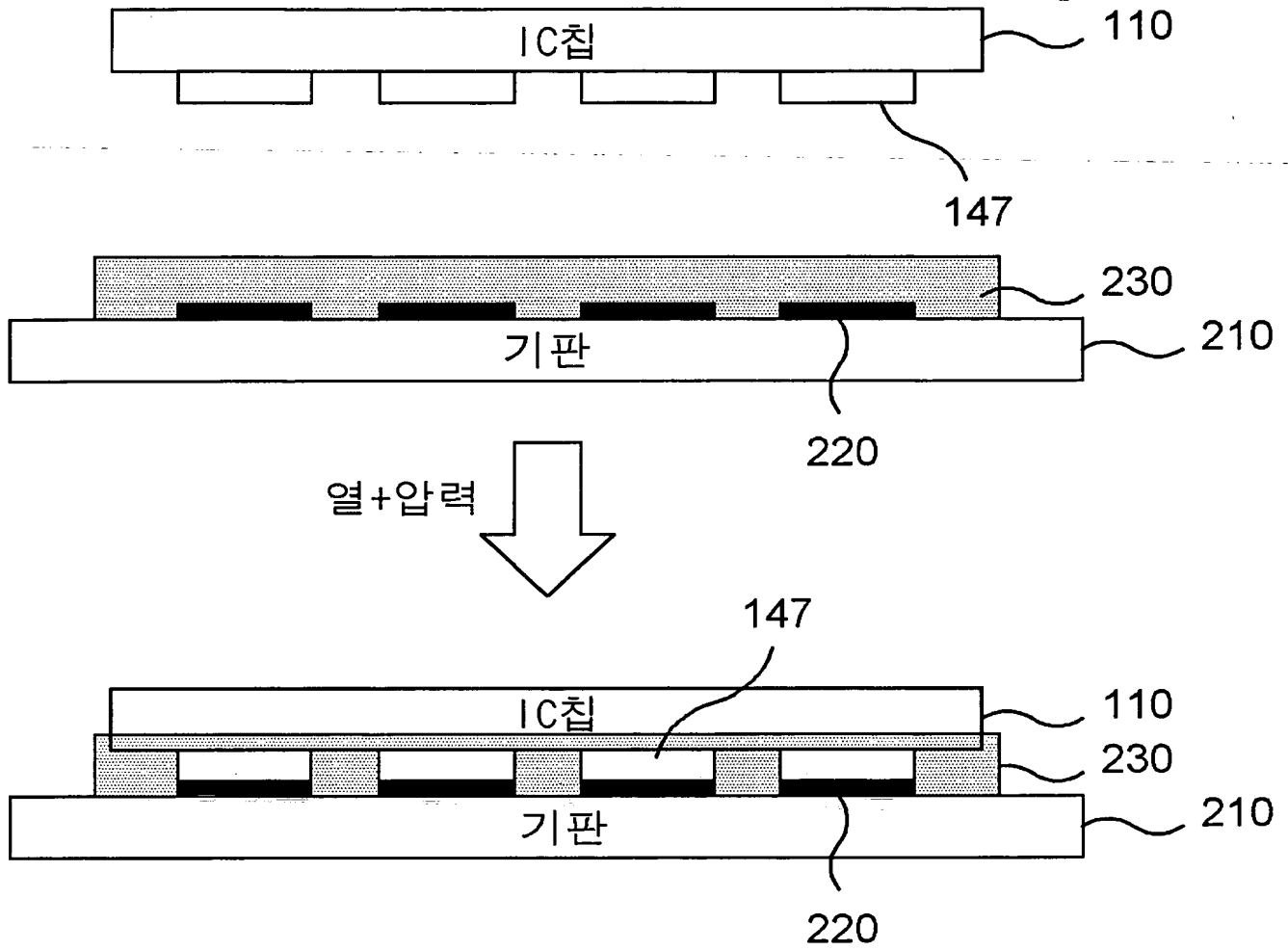


도면 2e

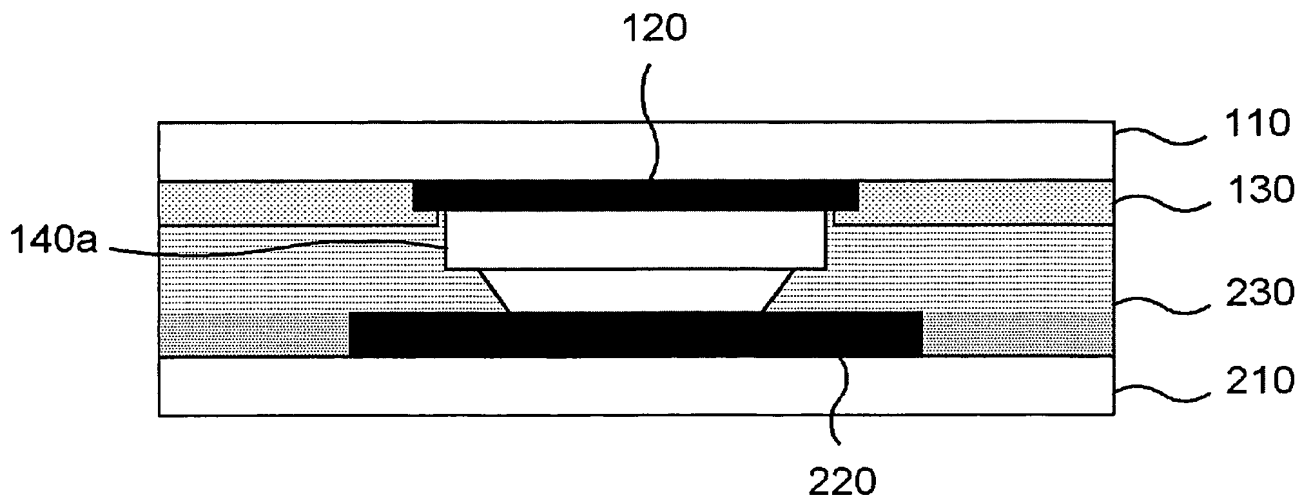




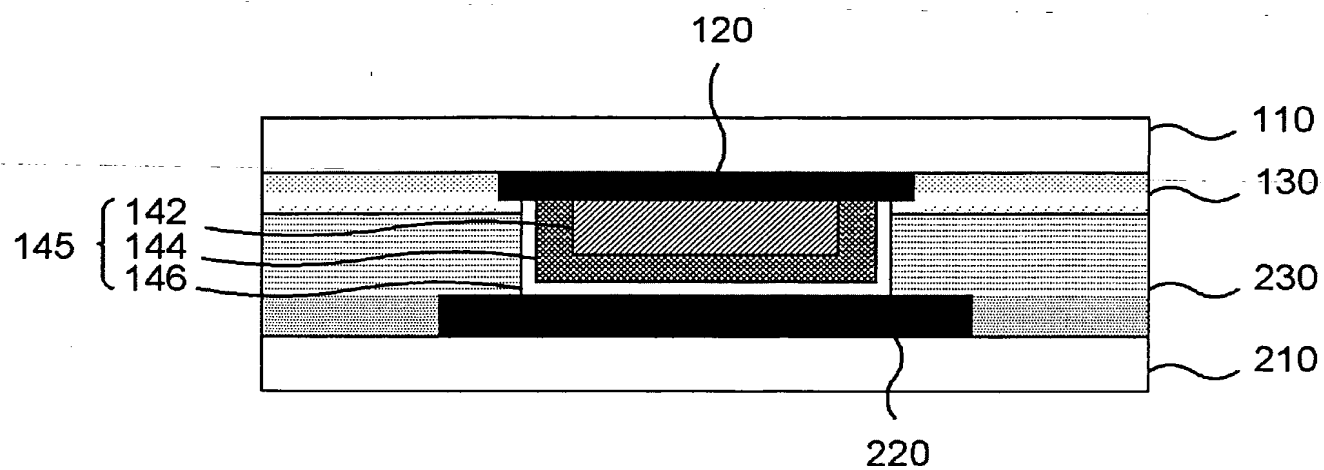
도면 3



도면 4a



도면 4b



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**